

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

#2

Applicant: Wataru DOMON, et al.  
Title: SPEED CONVERTER FOR IEEE-1394  
SERIAL BUS NETWORK  
Appl. No.: Unassigned  
Filing Date: September 28, 2000  
Examiner: Unassigned  
Art Unit: Unassigned



**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-277561 filed September 29, 1999.

Respectfully submitted,

Date September 28, 2000

By

Reg No 41514

FOLEY & LARDNER  
Washington Harbour  
3000 K Street, N.W., Suite 500  
Washington, D.C. 20007-5109  
Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 9月29日

出 願 番 号  
Application Number:

平成11年特許願第277561号

出 願 人  
Applicant (s):

日本電気株式会社

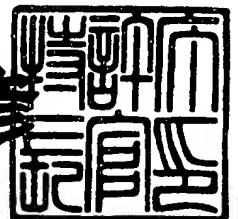


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 6月 9日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



【書類名】 特許願

【整理番号】 33509613

【提出日】 平成11年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 12/00

【発明の名称】 パケット速度変換器

【請求項の数】 16

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 土門 渉

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 松田 淳一

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 山崎 俊太郎

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100108578

    【弁理士】

    【氏名又は名称】 高橋 詔男

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット速度変換器

【特許請求の範囲】

【請求項 1】 IEEE 1394 規格に準拠した第 1 と第 2 のバスに接続されて、複数の電子機器の間でパケットの送受信を行う電子機器において、

前記第 1 のバスに接続されてパケットを受信し、また前記第 2 のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第 1 のバスへ送信する第 1 のパケット送受信ノードと、

前記第 2 のバスに接続されてパケットを受信し、また前記第 1 のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第 2 のバスへ送信する第 2 のパケット送受信ノードと、

前記第 1 または第 2 のバスから受信したパケットのヘッダを宛先に対応するヘッダに変換するヘッダ変換手段と、

を具備してなるパケット速度変換器。

【請求項 2】 IEEE 1394 規格に準拠した第 1 と第 2 のバスに接続されて、前記第 1 のバスに接続される複数の第 1 のノードまたは前記第 2 のバスに接続される複数の第 2 のノードの間でパケットを送受信する電子機器において、

前記第 1 のバスに接続されており、IEEE 1394 規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つ  $M-1$  個 ( $M$  ; 1 以上の整数) の第 1 のパケット転送ノードと、

前記第 1 のバスに接続されており、IEEE 1394 規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第 1 のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つアシンクロナス・パケットを受信し、また前記第 2 のバスから受信されたアシンクロナス・パケットを予め定められた転送速度で前記第 1 のバスへ送信する第 1 のパケット送受信ノードと、

前記第 2 のバスに接続されており、IEEE 1394 規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つ  $N-1$  個 ( $N$  ; 1 以上の整数) の第 2 のパケット転送ノードと、

前記第 2 のバスに接続されており、IEEE 1394 規格に準拠した物理層以

上の機能を備え、自ノード識別番号と等しいまたは前記第 2 のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つアシンクロナス・パケットを受信し、また前記第 1 のバスから受信されたアシンクロナス・パケットを予め定められた転送速度で前記第 2 のバスへ送信する第 2 のパケット送受信ノードと、

前記第 2 のノードの中で最大 M 個のノードが持つ各々異なるノード識別番号と前記第 1 のパケット転送ノードまたは前記第 1 のパケット送受信ノードのノード識別番号との 1 対 1 の対応関係と、前記第 1 のノードの中で最大 N 個のノードが持つ各々異なるノード識別番号と前記第 2 のパケット転送ノードまたは前記第 2 のパケット送受信ノードのノード識別番号との 1 対 1 の対応関係とを記憶する対応関係記憶手段と、

前記第 1 または第 2 のバスから受信したアシンクロナス・パケットのヘッダを変換するヘッダ変換手段と、

を具備することを特徴とするパケット速度変換器。

【請求項 3】 前記予め定められた転送速度は、前記第 1 または第 2 のパケット送受信ノードと、送信されるアシンクロナス・パケットが持つ宛先識別番号によって示される前記第 1 または第 2 のノードとの間で転送可能な最大の転送速度であることを特徴とする請求項 2 に記載のパケット速度変換器。

【請求項 4】 前記ヘッダ変換手段は、前記第 1 または第 2 のバスから受信したアシンクロナス・パケットの宛先識別番号を、前記対応関係記憶手段に記憶される対応関係に基づき前記第 2 または第 1 のノードのノード識別番号に変換し、また該アシンクロナス・パケットの送信元識別番号も、該対応関係に基づき前記第 2 または第 1 のパケット転送ノードまたはパケット送受信ノードのノード識別番号に変換することを特徴とする請求項 2 または請求項 3 に記載のパケット速度変換器。

【請求項 5】 前記第 1 または第 2 のバスから受信するアシンクロナス・パケットの中で、リクエスト・パケットが持つ送信元識別番号と宛先識別番号を記憶する識別番号記憶手段を具備し、

前記ヘッダ変換手段は、このリクエスト・パケットに対応するレスポンス・パケットを受信した場合に、該レスポンス・パケットの送信元識別番号と宛先識別

番号とを、前記識別番号記憶手段が記憶している該リクエスト・パケットの宛先識別番号と送信元識別番号とに各々変換することを特徴とする請求項 2 乃至請求項 4 のいずれかの項に記載のパケット速度変換器。

【請求項 6】 前記第 2 のバスのサイクル周期を前記第 1 のバスのサイクル周期に同期させるサイクル周期同期手段を具備し、

前記第 1 または第 2 のパケット送受信ノードは、ストリーム・パケットを前記第 1 または第 2 のバスから受信して、予め定められた転送速度で他方のバスへ送信することを特徴とする請求項 2 乃至請求項 5 のいずれかの項に記載のパケット速度変換器。

【請求項 7】 前記第 1 のパケット送受信ノードが前記第 1 のバスへ送信するストリーム・パケットの転送速度は、毎秒 3 9 3 . 2 1 6 メガビットの S 4 0 0 と呼ばれる速度であることを特徴とする請求項 6 に記載のパケット速度変換器。

【請求項 8】 前記第 1 のパケット送受信ノードは、ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、前記第 2 のパケット送受信ノードがストリーム・パケットを前記第 2 のバスへ送信する動作の開始または終了の設定を行い、一方、ストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、ストリーム・パケットを前記第 1 のバスへ送信する動作の開始または終了の設定を行うことを特徴とする請求項 6 または請求項 7 に記載のパケット速度変換器。

【請求項 9】 前記第 2 のパケット送受信ノードは、前記第 1 のパケット送受信ノードがストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、該アシンクロナス・パケットの宛先識別番号に対応する前記第 2 のノードへ該ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを送信し、一方、前記第 1 のパケット送受信ノードがストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、該アシンクロナス・パケットの宛先識別番号に対応する前記第 2 のノードへ該ストリー

ム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを送信することを特徴とする請求項 8 に記載のパケット速度変換器。

【請求項 10】 前記第 2 のパケット送受信ノードは、前記第 2 のバスにおいてバス・リセットが発生すると、該バス・リセットが発生する前に前記第 2 のノードに設定されていたストリーム・パケットの送信または受信の設定を、再度前記第 2 のノードに行うことを特徴とする請求項 9 に記載のパケット速度変換器。

【請求項 11】 前記第 1 のパケット送受信ノードは、IEC 61883 規格に定められるプラグ・コントロール・レジスタを備えており、前記対応関係記憶手段に記憶されている対応関係にある前記第 2 のノードがプラグ・コントロール・レジスタを具備している場合には、該プラグ・コントロール・レジスタの初期値を、該第 2 のノードのプラグ・コントロール・レジスタから読み出す値に設定し、この設定する値の内 OUTPUT\_MASTER\_PLUG レジスタ及び INPUT\_MASTER\_PLUG レジスタの Data rate capability フィールドの値と OUTPUT\_PLUG\_CONTROL レジスタの Data rate フィールドの値については、前記第 1 のバスにストリーム・パケットを送信する転送速度に対応する値に変更して設定することを特徴とする請求項 8 乃至請求項 10 のいずれかの項に記載のパケット速度変換器。

【請求項 12】 前記第 1 のパケット送受信ノードが備える OUTPUT\_MASTER\_PLUG レジスタにストリーム・パケットの送信を指示する値が設定されている場合には、前記第 2 のバスから前記第 2 のパケット送受信ノードが受信するストリーム・パケットが持つ予め定められたチャンネル番号を該 OUTPUT\_PLUG\_CONTROL レジスタの Channel number フィールドに示される値に変換し、一方、前記第 1 のパケット送受信ノードが備える INPUT\_PLUG\_CONTROL レジスタにストリーム・パケットの受信を指示する値が設定されている場合には、前記第 1 のバスから前記第 1 のパケット送受信ノードが受信するストリーム・パケットが持つチャンネル番号を予め定められたチャンネル番号に変換するチャンネル番号変換手段を具備し、

前記第 1 のパケット送受信ノードが受信する該ストリーム・パケットが持つチ



チャンネル番号は、前記 INPUT\_PLUG\_CONTROL レジスタにストリーム・パケットの受信を指示する値が設定されている場合の、該 INPUT\_PLUG\_CONTROL レジスタの Channel number フィールドに示される値であることを特徴とする請求項 1 1 に記載のパケット速度変換器。

【請求項 1 3】 前記予め定められたチャンネル番号は、10 進数の 63 であることを特徴とする請求項 1 2 に記載のパケット速度変換器。

【請求項 1 4】 前記第 1 または第 2 のバスから受信され他方のバスに送信されるアシンクロナス・パケットは、前記第 1 または第 2 のバス上のアドレスにて 16 進数の FFFF F000 0400 から FFFF F000 07FC の範囲内にあるコンフィグレーション・ロムへのリード・リクエスト・パケット及びこれに対応したリード・レスポンス・パケットを含むことを特徴とする請求項 1 乃至請求項 1 3 のいずれかの項に記載のパケット速度変換器。

【請求項 1 5】 前記対応関係記憶手段に記憶されている対応関係に示される前記第 1 または第 2 のノードから読み出されるコンフィグレーション・ロムのデータを記憶するコンフィグレーション・ロム記憶手段を具備し、

前記第 1 のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第 1 のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第 2 のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第 1 のバスに送信し、

一方、前記第 2 のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第 2 のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第 1 のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第 2 のバスに送信することを特徴とする請求項 2 乃至請求項 1 3 のいずれかの項に記載のパケット速度変換器。

【請求項 1 6】 前記コンフィグレーション・ロム記憶手段は、前記対応関

係記憶手段に記憶されている対応関係に示される前記第 1 または第 2 のノードから読み出されるコンフィグレーション・ロムのデータの内、Bus\_\_Info\_\_Block の下位 6 4 ビットの値と Node\_\_Unique\_\_Id\_\_leaf の下位 6 4 ビットの値とを、該対応関係に示される前記第 1 または第 2 のノードに対応する前記第 1、2 のパケット転送ノードまたは第 1、2 のパケット送受信ノードのいずれかが持つ Extended Unique Identifier、6 4 bits の値に共に変更して記憶し、さらに、Module\_\_Vendor\_\_Id\_\_entry の module\_\_vendor\_\_id フィールドの値を前記電子機器の製造者を示す company ID の値に変更して記憶することを特徴とする請求項 1 5 に記載のパケット速度変換器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、IEEE 1 3 9 4 規格のインタフェースを有しパケットを送受信する電子機器に用いて好適なパケット速度変換器に関する。

【0 0 0 2】

【従来の技術】

毎秒 1 0 0 メガビット（以下、S 1 0 0 と称する）、毎秒 2 0 0 メガビット（以下、S 2 0 0 と称する）、毎秒 4 0 0 メガビット（以下、S 4 0 0 と称する）という高速転送能力を有する高性能シリアルバス規格である IEEE 1 3 9 4 規格（以下、1 3 9 4 と称する）は、低遅延特性は保証されないが転送の成否が確認可能なアシンクロナス転送モードに加え、転送帯域を保証するアイソクロナス転送モードをサポートしているため、動画などのマルチメディア情報用インタフェースとして注目を集めている。そのため、DV（Digital Video）規格のデジタルカムコーダなど、1 3 9 4 インタフェースを持つ市販の電子機器製品が、既に数百万台規模で市場に出荷されている。

【0 0 0 3】

この 1 3 9 4 では、前述の通り 3 種類の転送速度がサポートされているが、これらはひとつの 1 3 9 4 バスの中で混在することができる。すなわち一つのバス

において、例えばあるノード間では S 1 0 0 で通信を行い、別のノード間では S 4 0 0 で通信を行うことが可能である。あるいは、より高速な転送速度をサポートするノードはそれより低速な転送速度もサポートしているため、同一のノードが、例えばある時刻では S 2 0 0 で通信を行い、その後 S 4 0 0 で通信を行うという動作を行うことも可能である。このように複数の転送速度の混在が可能であることと、転送速度の下位互換性が 1 3 9 4 において規定されているため、S 1 0 0 など低速の転送能力しか持たない機器と、S 4 0 0 までの高速転送能力を持つ機器とを相互に 1 3 9 4 バスにより接続して使用することが可能である。ただし、あるノード間の転送速度は、そのノード間の転送経路上に存在する全ノードが各々持つ転送速度の中で最も低い転送速度に制限される。

#### 【0 0 0 4】

##### 【発明が解決しようとする課題】

ところで、上述した従来の 1 3 9 4 インタフェースを持つ電子機器には、以下のような問題点があった。

同じ量のデータを転送する場合には、遅い速度で転送するほうが当然ながら長い時間を要する。言い換えると、低速なデータは、高速なデータに比べてバスの持つ帯域資源を消費する。例えば現在市場に出ている DV 規格のデジタルカムコーダは S 1 0 0 しかサポートしていないため、映像信号 1 チャンネルをアイソクロナス転送モードにより 1 3 9 4 バスで転送するには、1 サイクルの時間である 1 2 5 マイクロ秒当たり約 4 0 マイクロ秒の転送時間を必要とする。したがって 1 3 9 4 では、アイソクロナス転送に利用可能な時間は各サイクルあたり最大 1 0 0 マイクロ秒と規定されているため、この DV 信号は最大 2 チャンネルしか転送できない。このように、1 3 9 4 バスが S 4 0 0 のように高速な転送をサポートしていても S 1 0 0 のような低速な転送しかサポートしていない電子機器が接続されると、バスの持つ帯域資源が余計に消費されてしまうという問題点があった。

#### 【0 0 0 5】

この発明は、このような事情を考慮してなされたもので、その目的は低速な転送能力に起因するバスの帯域資源消費を緩和して、より効率の良い 1 3 9 4 バス

の利用を可能とするパケット速度変換器を提供することにある。特にDV信号においては、上述の転送チャネル数制限を緩和して、3チャンネル以上のDV信号を同一の1394バス上にて転送可能とすることを目的とする。

## 【0006】

## 【課題を解決するための手段】

上記の課題を解決するために、請求項1記載の発明は、IEEE1394規格に準拠した第1と第2のバスに接続されて、複数の電子機器の間でパケットの送受信を行う電子機器において、前記第1のバスに接続されてパケットを受信し、また前記第2のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、前記第2のバスに接続されてパケットを受信し、また前記第1のバスから受信されたパケットを、宛先の電子機器との間で送受可能な転送速度で前記第2のバスへ送信する第2のパケット送受信ノードと、前記第1または第2のバスから受信したパケットのヘッダを宛先に対応するヘッダに変換するヘッダ変換手段とを具備してなるものである。

## 【0007】

請求項2記載の発明は、IEEE1394規格に準拠した第1と第2のバスに接続されて、前記第1のバスに接続される複数の第1のノードまたは前記第2のバスに接続される複数の第2のノードの間でパケットを送受信する電子機器において、前記第1のバスに接続されており、IEEE1394規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つM-1個(M; 1以上の整数)の第1のパケット転送ノードと、前記第1のバスに接続されており、IEEE1394規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第1のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つアシンクロナス・パケットを受信し、また前記第2のバスから受信されたアシンクロナス・パケットを予め定められた転送速度で前記第1のバスへ送信する第1のパケット送受信ノードと、前記第2のバスに接続されており、IEEE1394規格に準拠した物理層の機能を備え、パケットを転送する各々異なるノード識別番号を持つN-1個(N; 1以上の整数)の第2のパケ

ット転送ノードと、前記第 2 のバスに接続されており、I E E E 1 3 9 4 規格に準拠した物理層以上の機能を備え、自ノード識別番号と等しいまたは前記第 2 のパケット転送ノードのノード識別番号と等しい宛先識別番号を持つアシンクロナス・パケットを受信し、また前記第 1 のバスから受信されたアシンクロナス・パケットを予め定められた転送速度で前記第 2 のバスへ送信する第 2 のパケット送受信ノードと、前記第 2 のノードの中で最大 M 個のノードが持つ各々異なるノード識別番号と前記第 1 のパケット転送ノードまたは前記第 1 のパケット送受信ノードのノード識別番号との 1 対 1 の対応関係と、前記第 1 のノードの中で最大 N 個のノードが持つ各々異なるノード識別番号と前記第 2 のパケット転送ノードまたは前記第 2 のパケット送受信ノードのノード識別番号との 1 対 1 の対応関係を記憶する対応関係記憶手段と、前記第 1 または第 2 のバスから受信したアシンクロナス・パケットのヘッダを変換するヘッダ変換手段とを具備することを特徴とする。

#### 【0008】

請求項 3 記載の発明は、請求項 2 に記載のパケット速度変換器において、前記予め定められた転送速度は、前記第 1 または第 2 のパケット送受信ノードと、送信されるアシンクロナス・パケットが持つ宛先識別番号によって示される前記第 1 または第 2 のノードとの間で転送可能な最大の転送速度であることを特徴とする。

請求項 4 記載の発明は、請求項 2 または請求項 3 に記載のパケット速度変換器において、前記ヘッダ変換手段は、前記第 1 または第 2 のバスから受信したアシンクロナス・パケットの宛先識別番号を、前記対応関係記憶手段に記憶される対応関係に基づき前記第 2 または第 1 のノードのノード識別番号に変換し、また該アシンクロナス・パケットの送信元識別番号も、該対応関係に基づき前記第 2 または第 1 のパケット転送ノードまたはパケット送受信ノードのノード識別番号に変換することを特徴とする。

請求項 5 記載の発明は、請求項 2 乃至請求項 4 のいずれかの項に記載のパケット速度変換器において、前記第 1 または第 2 のバスから受信するアシンクロナス・パケットの中で、リクエスト・パケットが持つ送信元識別番号と宛先識別番号

を記憶する識別番号記憶手段を具備し、前記ヘッダ変換手段は、このリクエスト・パケットに対応するレスポンス・パケットを受信した場合に、該レスポンス・パケットの送信元識別番号と宛先識別番号とを、前記識別番号記憶手段が記憶している該リクエスト・パケットの宛先識別番号と送信元識別番号とに各々変換することを特徴とする。

## 【 0 0 0 9 】

請求項 6 記載の発明は、請求項 2 乃至請求項 5 のいずれかの項に記載のパケット速度変換器において、前記第 2 のバスのサイクル周期を前記第 1 のバスのサイクル周期に同期させるサイクル周期同期手段を具備し、前記第 1 または第 2 のパケット送受信ノードは、ストリーム・パケットを前記第 1 または第 2 のバスから受信して、予め定められた転送速度で他方のバスへ送信することを特徴とする。

請求項 7 記載の発明は、請求項 6 に記載のパケット速度変換器において、前記第 1 のパケット送受信ノードが前記第 1 のバスへ送信するストリーム・パケットの転送速度は、毎秒 3 9 3 . 2 1 6 メガビットの S 4 0 0 と呼ばれる速度であることを特徴とする。

請求項 8 記載の発明は、請求項 6 または請求項 7 に記載のパケット速度変換器において、前記第 1 のパケット送受信ノードは、ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、前記第 2 のパケット送受信ノードがストリーム・パケットを前記第 2 のバスへ送信する動作の開始または終了の設定を行い、一方、ストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、ストリーム・パケットを前記第 1 のバスへ送信する動作の開始または終了の設定を行うことを特徴とする。

請求項 9 記載の発明は、請求項 8 に記載のパケット速度変換器において、前記第 2 のパケット送受信ノードは、前記第 1 のパケット送受信ノードがストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、該アシンクロナス・パケットの宛先識別番号に対応する前記第 2 のノードへ該ストリーム・パケットの送信の開始または終了を要求するアシンクロナス・パケットを送信し、一方、前記第 1 のパケット送受信ノ

ードがストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを前記第 1 のノードから受信すると、該アシンクロナス・パケットの宛先識別番号に対応する前記第 2 のノードへ該ストリーム・パケットの受信の開始または終了を要求するアシンクロナス・パケットを送信することを特徴とする。

# 【 0 0 1 0 】

請求項 1 0 記載の発明は、請求項 9 に記載のパケット速度変換器において、前記第 2 のパケット送受信ノードは、前記第 2 のバスにおいてバス・リセットが発生すると、該バス・リセットが発生する前に前記第 2 のノードに設定されていたストリーム・パケットの送信または受信の設定を、再度前記第 2 のノードに行うことを特徴とする。

請求項 1 1 記載の発明は、請求項 8 乃至請求項 1 0 のいずれかの項に記載のパケット速度変換器において、前記第 1 のパケット送受信ノードは、IEC 6 1 8 8 3 規格に定められるプラグ・コントロール・レジスタを備えており、前記対応関係記憶手段に記憶されている対応関係にある前記第 2 のノードがプラグ・コントロール・レジスタを具備している場合には、該プラグ・コントロール・レジスタの初期値を、該第 2 のノードのプラグ・コントロール・レジスタから読み出す値に設定し、この設定する値の内 OUTPUT\_MASTER\_PLUG レジスタ及び INPUT\_MASTER\_PLUG レジスタの Data rate capability フィールドの値と OUTPUT\_PLUG\_CONTROL レジスタの Data rate フィールドの値については、前記第 1 のバスにストリーム・パケットを送信する転送速度に対応する値に変更して設定することを特徴とする。

請求項 1 2 記載の発明は、請求項 1 1 に記載のパケット速度変換器において、前記第 1 のパケット送受信ノードが備える OUTPUT\_MASTER\_PLUG レジスタにストリーム・パケットの送信を指示する値が設定されている場合には、前記第 2 のバスから前記第 2 のパケット送受信ノードが受信するストリーム・パケットが持つ予め定められたチャンネル番号を該 OUTPUT\_PLUG\_CONTROL レジスタの Channel number フィールドに示される

値に変換し、一方、前記第 1 のパケット送受信ノードが備える INPUT\_PLUG\_CONTROL レジスタにストリーム・パケットの受信を指示する値が設定されている場合には、前記第 1 のバスから前記第 1 のパケット送受信ノードが受信するストリーム・パケットが持つチャンネル番号を予め定められたチャンネル番号に変換するチャンネル番号変換手段を具備し、前記第 1 のパケット送受信ノードが受信する該ストリーム・パケットが持つチャンネル番号は、前記 INPUT\_PLUG\_CONTROL レジスタにストリーム・パケットの受信を指示する値が設定されている場合の、該 INPUT\_PLUG\_CONTROL レジスタの Channel number フィールドに示される値であることを特徴とする。

【0011】

請求項 1 3 記載の発明は、請求項 1 2 に記載のパケット速度変換器において、前記予め定められたチャンネル番号は、10 進数の 63 であることを特徴とする。

請求項 1 4 記載の発明は、請求項 1 乃至請求項 1 3 のいずれかの項に記載のパケット速度変換器において、前記第 1 または第 2 のバスから受信され他方のバスに送信されるアシンクロナス・パケットは、前記第 1 または第 2 のバス上のアドレスにて 16 進数の FFFF F000 0400 から FFFF F000 07FC の範囲内にあるコンフィグレーション・ロムへのリード・リクエスト・パケット及びこれに対応したリード・レスポンス・パケットを含むことを特徴とする。

請求項 1 5 記載の発明は、請求項 2 乃至請求項 1 3 のいずれかの項に記載のパケット速度変換器において、前記対応関係記憶手段に記憶されている対応関係に示される前記第 1 または第 2 のノードから読み出されるコンフィグレーション・ロムのデータを記憶するコンフィグレーション・ロム記憶手段を具備し、前記第 1 のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第 1 のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第 2 のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から



読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第1のバスに送信し、一方、前記第2のパケット送受信ノードは、コンフィグレーション・ロムへのリード・リクエスト・パケットを前記第2のバスから受信した場合に、該リード・リクエスト・パケットの宛先識別番号が示すノードに対応する前記第1のノードの該コンフィグレーション・ロムのデータを、前記コンフィグレーション・ロム記憶手段から読み出し、該読み出されたデータを格納したリード・レスポンス・パケットを前記第2のバスに送信することを特徴とする。

請求項16記載の発明は、請求項15に記載のパケット速度変換器において、前記コンフィグレーション・ロム記憶手段は、前記対応関係記憶手段に記憶されている対応関係に示される前記第1または第2のノードから読み出されるコンフィグレーション・ロムのデータの内、Bus\_Inf o\_B l o c kの下位64ビットの値とNode\_Unique\_Id l e a fの下位64ビットの値とを、該対応関係に示される前記第1または第2のノードに対応する前記第1、2のパケット転送ノードまたは第1、2のパケット送受信ノードのいずれかが持つExtended Unique Identifier, 64 bitsの値に共に変更して記憶し、さらに、Module\_Vendor\_Id e n t r yのmodule\_\_vendor\_\_idフィールドの値を前記電子機器の製造者を示すcompany IDの値に変更して記憶することを特徴とする。

【0012】

#### 【発明の実施の形態】

以下、図面を参照し、この発明の実施の形態について説明する。

図1は第1の実施形態によるパケット速度変換器101の構成を示すブロック図である。この図において、11はCPU（中央処理装置）、12はCPU11にて実行されるパケット速度変換器101の動作のプログラムが記憶されたROM（リードオンリメモリ）、13はバスB1とB2の間で転送されるアシンクロナス・パケットや他のデータを一時的に記憶するRAM（ランダムアクセスメモリ）である。21と22はIEEE1394規格に準拠した物理層の機能を実現する物理層LSI、31と32はIEEE1394規格に準拠したリンク層の機

能を実現するリンク層 L S I である。そして、CPU 1 1、ROM 1 2、RAM 1 3、リンク層 L S I 3 1、3 2 はホストバス S 1 を介して互いに接続されている。また、物理層 L S I 2 1、2 2 は 1 3 9 4 に準拠したバス B 1、B 2 に接続されており、且つ物理層／リンク層インタフェースを介してそれぞれリンク層 L S I 3 1、3 2 に接続される。さらにリンク層 L S I 3 1、3 2 間には、バス B 1 とバス B 2 の間で転送されるアイソクロナス・パケットが通るアイソクロナス・パケット転送経路 S 3 と同期信号転送経路 S 2 が所定の端子間に確立される。1 4 - 1 と 1 4 - 2 はバス B 1 と B 2 へ送信するパケットの速度変換の仕様を設定するスイッチであり、リンク層 L S I 3 1、3 2 にそれぞれ接続されている。

## 【0 0 1 3】

図 2 はパケット速度変換器 1 0 1 を用いたシステム構成例を示す図である。図 2 においてパケット速度変換器 1 0 1 はバス B 1 を介して高速ノード 2 3 0 と接続され、またバス B 2 を介して低速ノード 2 4 0 と接続されている。なお、この図においてノード 2 1 0 は物理層 L S I 2 1、リンク層 L S I 3 1 など構成されており、またノード 2 2 0 は物理層 L S I 2 2、リンク層 L S I 3 2 など構成されている。パケット速度変換器 1 0 1 は、ノード 2 1 0 によってバス B 1 から受信されたパケットをノード 2 2 0 がバス B 2 に送信する機能と、ノード 2 2 0 によってバス B 2 から受信されたパケットをノード 2 1 0 がバス B 1 に送信する機能とを有している。ただし、このように 1 3 9 4 バス間でパケット速度変換器 1 0 1 により転送されるパケットは、各バス上を転送される全てのパケットではない。例えば、各バス上を転送される P H Y (P H Y s i c a l) パケットとアックノリッジ (a c k n o w l e d g e) パケットは、他方のバスに転送されることなく、アシンクロナス・パケットとストリーム・パケットとから構成されるプライマリ・パケットと呼ばれるパケットのみがバス間で転送される。さらに、全てのプライマリ・パケットが転送されることもなく、予め定められた一部の種別のプライマリ・パケットのみがバス間転送される。

## 【0 0 1 4】

図 3 は同実施形態の動作を説明する図である。同図を参照して、パケット速度変換器 1 0 1 がバス B 1、B 2 間でパケット転送する際にそのパケットの転送速

度を変換する動作の一例として、S 4 0 0 の転送能力を持つノード 2 3 0 をバス B 1 に、S 1 0 0 の転送能力を持つノード 2 4 0 をバス B 2 にそれぞれ接続し、両ノード間でパケットの送受信を行う場合を説明する。この図において斜線が引かれたパケット P S 1 - 1 ~ P S 1 - 4 と P S 2 - 1 ~ P S 2 - 4 は、サイクルの開始を示すサイクルスタートパケットであり、1 2 5 マイクロ秒周期で各バスのサイクルマスタにより送信される。また、図の横軸は時間経過を示し右方向に進む程に時間が経過している。ノード 2 3 0 がバス B 1 に送信する S 4 0 0 のパケット P A 1 は、ノード 2 1 0 により受信される。このパケット P A 1 は、ノード 2 2 0 により S 1 0 0 の転送速度に変換されパケット P A 2 としてバス B 2 に送信される。そして、このパケット P A 2 はノード 2 4 0 により受信される。一方、ノード 2 4 0 がバス B 2 に送信する S 1 0 0 のパケット P B 1 は、ノード 2 2 0 により受信された後、S 4 0 0 の転送速度に変換されノード 2 1 0 によりパケット P B 2 としてバス B 1 に送信される。そして、このパケット P B 2 はノード 2 3 0 によって受信される。すなわち、図 3 に示されるように、パケット P A 2、P B 1 とともに S 1 0 0 で転送されるバス B 2 と比較して、S 4 0 0 で転送されるバス B 1 では、その転送に要する時間が約 4 分の 1 で済んでいる。従って、高速機器であるノード 2 3 0 が接続されるバス B 1 の使用効率は、低速な機器であるノード 2 4 0 との間で通信を行う場合でもパケット速度変換器 1 0 1 によってパケットの速度を変換することにより向上する。

#### 【 0 0 1 5 】

例えば、従来、D V 仕様のデジタル映像信号は、S 1 0 0 で転送される場合には、1 サイクルあたり約 4 0 マイクロ秒の転送時間を必要とするために同時に最大 2 チャンネルしか転送できなかった。しかし、同実施形態によるパケット速度変換器 1 0 1 を用いて S 1 0 0 のパケットを S 4 0 0 の転送速度に変換して転送すれば、4 倍の 8 チャンネルを同時に転送することが可能となる。

なお、1 3 9 4 では、転送速度に応じてパケットのペイロードサイズの最大値が定められている。例えばアシンクロナス・パケットでは、S 1 0 0 の最大ペイロードサイズは 5 1 2 バイト、S 4 0 0 では 2 0 4 8 バイトである。従って、このパケット速度変換器 1 0 1 を用いる場合のパケットサイズは、低速側の最大パ

ケットサイズに基本的には制限される。ただし、高速データを低速データに変換して転送する際に、上記最大ケットサイズの制限を超えないようにケットを分割して転送する機能をケット速度変換器 1 0 1 に付加すれば、高速側バスのケットサイズをより大きくすることが可能である。

#### 【0 0 1 6】

次に、図 1 及び図 4 ～図 9 を参照して同実施形態の動作をさらに詳細に説明する。図 4 はケット速度変換器 1 0 1 を用いたシステム構成例を示す図であり、同図において、ケット速度変換器 1 0 1 は図 2 に示されたと同様に、ケット速度変換器 1 0 1 のノード 2 1 0 と 2 2 0 がバス B 1 と B 2 にそれぞれ接続されている。また、バス B 1 には 3 台のノード 2 3 1 ～2 3 3 が、バス B 2 には 1 台のノード 2 4 1 がそれぞれ接続されている。このノード 2 4 1 は、S 1 0 0 で D V 仕様のデジタル映像信号を送受信することが可能なカムコーダである。そして、各ノードは、バス識別番号（以下、バス ID と称する）とフィジカル識別番号（以下、フィジカル ID と称する）からなるノード識別番号（以下、ノード ID と称する）を割り当てられている。全ノードともバス ID は 1 6 進数の 3 F F であり、この 3 F F というバス ID の値は *l o c a l   b u s*（自分が接続されているバス）を示す。フィジカル ID は、ノード 2 1 0 が 3、ノード 2 3 1 が 2、ノード 2 3 2 が 1、ノード 2 3 3 が 0、ノード 2 2 0 が 1、ノード 2 4 1 が 0 である。これは、図 1 においてバス B 1 と B 2 に接続される物理層 L S I 2 1 と 2 2 とに、フィジカル ID の値として 3 と 1 とがそれぞれに割り当てられていることになる。

#### 【0 0 1 7】

また、図 1 においてスイッチ 1 4 - 1 にはバス B 2 からバス B 1 にケットを転送する際の、スイッチ 1 4 - 2 にはバス B 1 からバス B 2 にケットを転送する際の速度変換仕様がそれぞれ設定されている。図 5 はスイッチの値と速度変換仕様との対応関係を示す表である。ストリーム・ケットの場合は、スイッチの値が 0 か 3 の時は S 1 0 0 に、1 か 4 の時は S 2 0 0 に、2 か 5 の時は S 4 0 0 にそれぞれ転送速度が変換される。一方、アシンクロナス・ケットの場合は、スイッチの値が 0 のときは S 1 0 0 に、1 の時は S 2 0 0 に、2 の時は S 4 0 0

にそれぞれ転送速度が変換されるのに対し、スイッチの値が 3 ～ 5 の時は、転送可能な最速の転送速度に変換されて転送される。この最速の速度は、バス内のバス・マネージャが管理するスピード・マップ・レジスタを参照するか、あるいは、バス上の各ノードがバス構成時に送信するセルフ ID（自己識別）パケットと各ノードのコンフィグレーション・ロムを解析することにより導出する。この設定を用いることにより、アシンクロナス・パケットの宛先識別番号（以下、宛先 ID と称する）に応じて、最適な転送速度を用いることが可能である。最後に、スイッチの値が 6 の時は、ストリーム・パケット、アシンクロナス・パケットともに受信された時の転送速度と等しい速度で他方のバスにパケットが送信される。これらのスイッチ 1 4 - 1 と 1 4 - 2 の値は、リンク層 L S I 3 1 と 3 2 に具備されるレジスタにそれぞれ記憶され、パケットを転送する際の速度を決定するために使用される。

#### 【 0 0 1 8 】

なお、同実施形態では、リンク層 L S I 3 1、3 2 に速度設定用の端子を設け外部のスイッチ 1 4 - 1、1 4 - 2 を用いて転送速度を設定する仕様が用いられたが、リンク層 L S I 3 1、3 2 に速度設定用端子を設けることなく、ホストバス S 1 を介して CPU 1 1 からリンク層 L S I 3 1、3 2 のレジスタに速度設定用パラメータの値を書き込む仕様として転送速度を設定することも可能である。

また、図 1 に示される同期信号転送経路 S 2 は、バス B 1 と B 2 との間で 8 k H z のサイクル周波数の同期をとるための同期信号を、リンク層 L S I 3 1、3 2 間で送受信する経路である。1 3 9 4 では、クロック周波数の精度がプラス・マイナス 1 0 0 p p m (Parts Per Million) と規定されているため、2 つのバス B 1、B 2 のサイクル周波数は最大 2 0 0 p p m ずれている可能性がある。この最大 2 0 0 p p m ずれるという値は、2 つのバス B 1、B 2 でそれぞれ経過するサイクルが約 0. 6 秒で 1 つずれる程の値であるため、アイソクロナス・パケットの正常なバス間転送がこのままではできない。従って、アイソクロナス・パケットのバス間転送をパケット速度変換器 1 0 1 がサポートするためには、バス B 1、B 2 間のサイクル周波数を同期させる必要がある。そこで、同実施形態では、バス B 2 のサイクル周波数をバス B 1 のサイクル周波数に同期させる方

法を用い、これを実現するために、ノード 2 2 0 がバス B 2 におけるサイクルマスタに必ずなる仕様とした。

#### 【 0 0 1 9 】

次に、同実施形態におけるアシンクロナス・パケットのバス間転送方法について説明する。パケット速度変換器 1 0 1 は、RAM 1 3 に記憶される各ノードの対応が 1 対 1 に示される第 1 と第 2 の対応表と、転送されるアシンクロナス・パケットのヘッダが同じく記憶されるヘッダ情報とを用いてアシンクロナス・パケットのバス B 1、B 2 間転送を行う。第 1 と第 2 の対応表には、それぞれパケット速度変換器 1 0 1 内のあるノードのノード ID と、もう一方のノードが接続されているバス上のノードのノード ID との対応関係が記述される。図 6 は第 1 と第 2 の対応表である。第 1 の対応表にはノード 2 1 0 とバス B 2 上のノード 2 4 1 との対応関係が記載され、第 2 の対応表にはノード 2 2 0 とバス B 1 上のノード 2 3 1 との対応関係が記載されている。

なお、ノード ID は、バス ID とフィジカル ID とから構成されるが、同実施形態では全てのノードのバス ID を 1 6 進数の 3 F F としたため、第 1 と第 2 の対応表にはフィジカル ID のみが記載される仕様とした。しかし、バス ID まで含めたノード ID を各対応表に記載しても良い。

なお、以降の説明では、宛先 ID や送信元識別番号（以下、送信元 ID と称する）に関してはバス ID の記述を省略する。

さて、第 1 の対応表にはノード 2 1 0 とノード 2 4 1 の間で、第 2 の対応表にはノード 2 2 0 とノード 2 3 1 の間で対応関係が確立されていることがそれぞれ示されている。

#### 【 0 0 2 0 】

次に、図 7 は、この第 1 と第 2 の対応表を用いノード 2 3 1 からノード 2 4 1 に対してライト・トランザクションが行われた動作を説明するシーケンス図である。なお、ここでは、スイッチ 1 4 - 1 は 2 に、スイッチ 1 4 - 2 は 0 に設定されている。また、図 7 に示される「フィジカル ID」は各ノードに割り当てられたフィジカル ID の値を、「s r c」はアシンクロナス・パケットの送信元 ID (s o u r c e I D) の内のフィジカル ID の値を、「d s t」はアシンクロ

ナス・パケットの宛先ID (destination ID) の内のフィジカルIDの値をそれぞれ示す。また、「WriteReq」はアシンクロナス・パケットがライト・リクエスト・パケットであることを、「WriteResp」はアシンクロナス・パケットがライト・レスポンス・パケットであることを示す。この図を参照して、パケット速度変換器101によって行われるライト・トランザクション動作を説明する。初めにノード231は、ライト・リクエスト・パケットをS400の転送速度で送信する(図7のステップSP1)。この際、ライト・リクエスト・パケットの宛先IDには、同じバスB1に接続されているノード210のノードIDである3が記述される。このようにして、実際にはノード241に宛てたライト・リクエスト・パケットが、バスB1においてはノード210に宛てたライト・リクエスト・パケットと見なされる。このライト・リクエスト・パケットを受信したノード210は、ノード231に対してack\_pendingを返す(図7のステップSP2)。

#### 【0021】

そして、ノード210に受信されたライト・リクエスト・パケットは、RAM13に一時記憶されたのち、ヘッダ変換処理とヘッダ情報の書き込み処理とが行われる(図7のステップSP3)。まず、第1の対応表を参照して、ノード210に対応するバスB2上のノードIDの値に宛先IDが変換される。即ちここでは、宛先IDの値が3から0に変換される。一方送信元IDの値は、固定的にノード220のノードIDの値に変換される。即ちここでは、送信元IDの値が2から1に変換される。そして、ヘッダが変換されたライト・リクエスト・パケットは、RAM13に記憶される。そして、ヘッダ情報の書き込み処理では、ヘッダ変換前後の送信元ID、宛先IDとヘッダに記載されるトランザクション・ラベルとがRAM13に記憶される。次いで、CPU11はライト・リクエスト・パケットをRAM13から読み出し、リンク層LSI32に入力する。リンク層LSI32はスイッチ14-2の設定値が0であることを確認し、入力されたライト・リクエスト・パケットをS100の転送速度でバスB2に送信する(図7のステップSP4)。

バスB2からライト・リクエスト・パケットを受信したノード241は、ac

k\_\_pendingを送信する（図7のステップSP5）。次いで、ノード241は、ライト・レスポンス・パケットをS100の転送速度で送信する（図7のステップSP6）。このライト・レスポンス・パケットの宛先IDおよび送信元IDは、それぞれ対応するライト・リクエスト・パケットの送信元IDおよび宛先IDとなるため、宛先は同一バス上のノード220を示すことになる。このライト・レスポンス・パケットを受信したノード220は、ノード241に対してack\_\_completeを返す（図7のステップSP7）。

#### 【0022】

そして、受信されたライト・レスポンス・パケットは、RAM13に一時記憶される。ライト・レスポンス・パケットの受信後、このライト・レスポンス・パケットに対応するライト・リクエスト・パケットをノード220が送信しているか否かが、RAM13に記憶されているヘッダ情報を参照することにより確認される。ライト・リクエスト・パケットの送信確認は、宛先ID、送信元ID、トランザクションラベルの3つの値を比較することにより行われる。そして、ライト・レスポンス・パケットに対応するライト・リクエスト・パケットのヘッダ情報が検出された場合には、ヘッダ変換処理が行われる（図7のステップSP8）。ここでは、ヘッダ情報に記載されているライト・リクエスト・パケット転送時におけるヘッダ変換処理前の送信元IDと宛先IDとを、それぞれライト・レスポンス・パケットの宛先IDと送信元IDとに書き込む処理が行われる。即ちここでは、送信元IDが3に、宛先IDが2に変換される。ヘッダ変換されたライト・レスポンス・パケットは、RAM13からリンク層LSI31に入力される。そして、リンク層LSI31はスイッチ14-1の設定値が2であることを確認し、S400の転送速度で入力されたライト・レスポンス・パケットをバスB1上に送信する（図7のステップSP9）。このライト・レスポンス・パケットを受信したノード231が、ノード210に対してack\_\_completeを返した時点で、ライト・トランザクションが完了する（図7のステップSP10）。

#### 【0023】

このように、各バスでは同じバスに接続されたノード間でトランザクションが



行われ、そのトランザクションをパケット速度変換器 1 0 1 が第 1 と第 2 の対応表を用いて関連づけパケットを転送することにより、結果的には異なるバス上のノード間のトランザクションが行われる。

なお、ノード 2 4 1 がトランザクションを実行する場合には、これまでの説明と同様の方法で、パケット速度変換器 1 0 1 が第 2 の対応表を用いてトランザクションが行われる。

#### 【 0 0 2 4 】

次に、図 8 及び図 9 を参照して、同実施形態におけるストリーム・パケットのバス間転送方法について説明する。リンク層 L S I 3 1、3 2 は、ストリーム・パケットの送受信を制御するストリーム・コントロール・レジスタ（以下、S C R と称する）を具備している。図 8（a）は S C R のフォーマットを示す図である。S C R は 7 つのフィールドから構成される 3 2 ビットのレジスタであり、各フィールドに示される数字は各フィールド長のビット数を示す。そして、「s t」フィールドは、「c h a n n e l」フィールドに示されるチャンネル番号のストリーム・パケットを送信するか受信するかを指定する。「s t」フィールドの値が 1 の場合は受信を示し、2 の場合は送信であることを示す。「i」ビットの値が 1 の場合はストリーム・パケットがアイソクロナス・ストリームであることを指定し、0 の場合はアシンクロナス・ストリームであることを指定する。「s p d」フィールドは、パケットを送信する際の転送速度を指定する。「s p d」フィールドの値が、0 の場合は S 1 0 0、1 の場合は S 2 0 0、2 の場合は S 4 0 0 にそれぞれ対応する。「o v e r h e a d」フィールドと「p a y l o a d」フィールドは、パケットの転送に要する帯域を指定するためのフィールドである。「r s v」フィールドは、将来の仕様拡張のために予約されている予約領域（r e s e r v e d）である。

#### 【 0 0 2 5 】

図 8（b）はリンク層 L S I 3 1 の S C R の設定例であり、図 8（c）はリンク層 L S I 3 2 の S C R の設定例である。この設定例では、リンク層 L S I 3 1 と 3 2 の s t フィールドがそれぞれ 2（送信）と 1（受信）に、c h a n n e l フィールドがそれぞれ 3 と 6 3 に、s p d フィールドがそれぞれ 2 と 0 に設定さ

れている。また、両リンク層 L S I 31 と 32 の i ビットはともに 1 である。従ってこれらの設定は、チャンネル番号 63 のアイソクロナス・パケットをバス B 2 から受信して、そのチャンネル番号を 3 に変換した後、バス B 1 に S 4 0 0 の転送速度で送信することを示している。

なお、同実施形態では、この S C R の設定はノード 210 に具備されるプラグ・コントロール・レジスタ（以下、P C R と称する）の設定値に連動して制御される方法を用いた。この P C R は I E C 6 1 8 8 3 規格に定義されており、O U T P U T \_ M A S T E R \_ P L U G レジスタ（以下、o M P R と称する）、O U T P U T \_ P L U G \_ C O N T R O L レジスタ（以下、o P C R と称する）、I N P U T \_ M A S T E R \_ P L U G レジスタ（以下、i M P R と称する）及び I N P U T \_ P L U G \_ C O N T R O L レジスタ（以下、i P C R と称する）という 4 種のレジスタの総称である。o M P R と o P C R は、これを具備する機器が送信するアイソクロナス・パケットの設定のために使用され、i M P R と i P C R は同じくアイソクロナス・パケットの受信設定に使用される。

#### 【0026】

図 9 はこれらのレジスタのフォーマットを示す図であり、全てのレジスタは複数のフィールドから構成される 32 ビットのレジスタであって各フィールドに示される数字は各フィールド長のビット数を示す。図 9（a）は o M P R のフォーマットを示す図であり、o M P R は 6 つのフィールドから構成される。図 9（b）は i M P R のフォーマットを示す図であり、i M P R は 6 つのフィールドから構成される。図 9（c）は o P C R のフォーマットを示す図であり、o P C R は 8 つのフィールドから構成される。図 9（d）は i P C R のフォーマットを示す図であり、i P C R は 6 つのフィールドから構成される。ノード 210 が具備するこれらのレジスタの初期値には、第 1 の対応表上でノード 210 に対応するノードであるノード 241 に具備される P C R から読み出された値が用いられる。ただし、ストリーム・パケットの転送速度に対する送信能力と受信能力を示す o M P R と i M P R の「D a t a r a t e c a p a b i l i t y」フィールドの値と、送信するストリーム・パケットの転送速度を示す o P C R の「D a t a r a t e」フィールドの値とは、スイッチ 14-1 の設定値に応じた値に書き

換えられる。同実施形態においては、ノード 2 4 1 が S 1 0 0 のみをサポートしているためにこれらのフィールドの値は全て S 1 0 0 を示す 0 であったが、スイッチ 1 4 - 1 の値が 2 に設定されたため、これらのフィールドは全て S 4 0 0 を示す 2 という値に書き換えられている。

#### 【 0 0 2 7 】

この PCR と SCR との連動の仕様を、図 8 ( b ) と ( c ) の SCR の設定例に基づいて、さらに具体的に説明する。まず、ノード 2 1 0 がストリーム・パケットを送信する設定が o PCR になされた場合には、リンク層 L S I 3 1 と 3 2 が有する SCR の s t フィールドの値はそれぞれ 2 と 1 に設定される。または、ノード 2 1 0 がストリーム・パケットを受信するような設定が i PCR になされた場合には、リンク層 L S I 3 1 と 3 2 の s t フィールドの値は 1 と 2 に設定される。次いで、channel フィールドの値は、リンク層 L S I 3 1 側はノード 2 1 0 の、またリンク層 L S I 3 2 側はノード 2 4 1 の o PCR の Channel number フィールドの値に一致させる。ノード 2 4 1 の o PCR の Channel number フィールドの値は実際には 6 3 固定であるため、リンク層 L S I 3 2 の channel フィールドの値も 6 3 固定としても実用上は問題ない。さらに、リンク層 L S I 3 1 と 3 2 の s p d フィールドの値はそれぞれスイッチ 1 4 - 1 と 1 4 - 2 の設定値を反映させた値である 2 と 0 とする。実際に、ノード 2 4 1 が送信するデジタル映像信号を S 4 0 0 の転送速度で受信する目的で、ノード 2 3 1 がノード 2 1 0 の o PCR にロック・トランザクションを実行したところ、ノード 2 4 1 が送信するチャンネル番号 6 3 の S 1 0 0 のアイソクロナス・ストリームが、ノード 2 1 0 の o PCR に書かれているチャンネル番号 4 に変換されて、S 4 0 0 の転送速度でバス B 1 上に転送されることが確認された。

#### 【 0 0 2 8 】

さらに、上述した PCR と SCR の連動によるストリーム・パケットの転送方法を用いたパケット速度変換器 1 0 1 の効果を検証するため、図 4 のシステムにおいて、一方のノードに S 1 0 0 のみをサポートする DV 機器が接続されたパケット速度変換器 1 0 1 を他に 7 台用意して、DV 機器が接続されていないノード

を全てバス B 1 に接続した。そして、ノード 2 3 1 が 8 台のパケット速度変換器 1 0 1 の O P C R に送信を要求するトランザクションを実行した結果、S 4 0 0 の転送速度の D V パケットが、バス B 1 上に 8 チャンネル転送されていることが実際に確認された。

#### 【0 0 2 9】

次に、ノード 2 1 0 がバス B 1 からコンフィグレーション・ロムへのリード・リクエストを受信した場合の処理について説明する。コンフィグレーション・ロムとは、そのノードに具備されている機能などが記された領域である。まず、ノード 2 1 0 が受信したリード・リクエスト・パケットを、上述のアシンクロナス・パケット転送方法に基づいてノード 2 4 1 に転送する。そして、ノード 2 4 1 が返すリード・レスポンス・パケットをリード・リクエスト・パケットを送信した元のノードに返送する。即ち、リード・リクエスト・パケットの送信元ノードから見ると、ノード 2 1 0 があたかもノード 2 4 1 の機能を有するノードとして認識される仕様である。これにより、例えば同実施形態のように、ノード 2 4 1 が I E C 6 1 8 8 3 規格に準拠した機器である場合には、ノード 2 3 1、2 3 2、2 3 3 から見ると、ノード 2 4 1 が同一のバスに接続された機器として認識される。

なお、上述したコンフィグレーション・ロムは、バス B 1 または B 2 上のアドレスにて 1 6 進数の F F F F F 0 0 0 0 4 0 0 から F F F F F 0 0 0 0 7 F C の範囲内にあるコンフィグレーション・ロムとしても良い。

#### 【0 0 3 0】

図 1 0 は、この発明の第 2 の実施形態によるパケット速度変換器 1 0 2 の構成を示すブロック図である。この図において、パケット速度変換器 1 0 2 は、C P U 1 1、ROM 1 2、RAM 1 3、物理層 L S I 2 1 ~ 2 5、リンク層 L S I 3 1、3 2 とから構成される。同実施形態では物理層 L S I 2 3 ~ 2 5 を設け、物理層 L S I 2 1、2 3、2 4 をバス B 1 上にデジチェーンし、物理層 L S I 2 2、2 5 をバス B 2 上にデジチェーンしている。図 1 1 は、パケット速度変換器 1 0 2 を用いたシステム構成を示す図である。同図において、パケット速度変換器 1 0 2 は、ノード 2 1 1 ~ 2 1 3、2 2 1、2 2 2 から主に構成され、

ノード211～213がバスB1に、ノード221、222がバスB2にそれぞれ接続されている。また、バスB1とB2には、それぞれノード311、312とノード321～323とがそれぞれ接続されている。なお、ノード311とノード321は、1394 Trade Associationが発行する「1394-based Digital Camera Specification」規格に準拠したS200のデジタル・カメラであり、ノード312、322、323は、このデジタル・カメラが送信する動画像を受信する能力を持つS400のパーソナル・コンピュータである。

【0031】

パケット速度変換器102において、ノード211は物理層LSI21とリンク層LSI31及びソフトウェアで実現されるトランザクション層以上から構成される。同様に、ノード221も、物理層LSI22とリンク層LSI32及びソフトウェアによる他の層から構成される。一方、ノード212及び213、222は、それぞれ物理層LSI23及び24、25のみから構成されるノードである。これらのノードにはそれぞれ個別のノードIDが割り当てられており、フィジカルIDは、ノード211が4、ノード212が3、ノード213が2、ノード221が4、ノード222が3である。バスIDは全ノードとも16進数の3FFである。また、バスB1とB2に接続されるノード311、312、321～323のノードIDの内、フィジカルIDは、ノード311が1、ノード312が0、ノード321が2、ノード322が1、ノード323が0である。バスIDは全ノードとも16進数の3FFである。そして、物理層LSIのみから構成されるノード212及び213、222は、自らがパケットを送受信する機能はなく、リピータ・ノードとしてのみ動作する。また、通常のリンク層LSIは、自分のノードIDと一致する値が宛先IDに書かれているアシンクロナス・パケットのみに対して受信処理を行い、それ以外のパケットは無視する仕様であるが、同実施形態で使用されたリンク層LSI31と32は、予め設定された自分のノードIDとは異なる宛先IDのアシンクロナス・パケットに対しても受信処理を行う機能を持っている。この機能を用いて、ノード211は、ノード211～ノード213宛のアシンクロナス・パケットをバスB1から受信するように

、またノード 2 2 1 は、ノード 2 2 1 ~ ノード 2 2 2 宛のアシクロナス・パケットをバス B 2 から受信するように予め設定されている。また、ノード 2 1 1 とノード 2 2 1 とが送信するアシクロナス・パケットの速度は転送可能な最大速度に設定されている。一方、ストリーム・パケットは、ノード 2 1 1、2 2 1 とともに S 4 0 0 で送信するように設定されている。

【 0 0 3 2 】

次に、第 1 の実施形態と同様に、ノード間の対応表が作成される。図 1 2 は作成された第 3 と第 4 の対応表である。第 3 の対応表にはノード 2 1 1 とノード 3 2 1 の間と、ノード 2 1 2 とノード 3 2 2 の間と、ノード 2 1 3 とノード 3 2 3 の間とで対応関係がそれぞれ確立されていることが示されている。また、第 4 の対応表にはノード 2 2 1 とノード 3 1 1 の間と、ノード 2 2 2 とノード 3 1 2 の間とで対応関係がそれぞれ確立されていることが示されている。そして、パケット速度変換器 1 0 2 においては、第 3 と第 4 の対応表に記載されるノードのコンフィグレーション・ロムのデータをノード 2 1 1 と 2 2 1 がそれぞれ読み出し、それを RAM 1 3 に記憶させる。そして、パケット速度変換器 1 0 2 内のノード宛のコンフィグレーション・ロムへのリード・リクエスト・パケットが受信された場合には、そのノードに対応するバス B 1 または B 2 上のノードのコンフィグレーション・ロムのデータを記載したリード・レスポンス・パケットをノード 2 1 1 または 2 2 1 が送信する。これにより、ノード 3 1 1 とノード 3 1 2 にとっては、ノード 2 1 1 ~ 2 1 3 がノード 3 2 1 ~ 3 2 3 に見え、またノード 3 2 1 ~ 3 2 3 にとっては、ノード 2 2 1 とノード 2 2 2 がノード 3 1 1 とノード 3 1 2 に見えることになる。

【 0 0 3 3 】

実際に、例えば、パーソナルコンピュータであるノード 3 1 2 は、同一バス上の全ての他のノードからコンフィグレーション・ロムを読み出す動作を実行することにより、フィジカル ID が 1 であるノード 3 1 1 と、フィジカル ID が 4 であるノード 2 1 1 とが、デジタル・カメラであると認識した。同様に、ノード 3 2 2 とノード 3 2 3 も、同一バス上のノード 2 2 1 とノード 3 2 1 がデジタル・カメラであると認識した。

## 【 0 0 3 4 】

この認識に基づいて、ノード 3 1 2 は、ノード 2 1 1 に対して動画データの送信を要求するアシンクロナス・パケットを送信する。具体的には、ベースアドレスからのオフセットが 1 6 進数の 6 0 C のレジスタに対してライト・トランザクションを行うことにより、ノード 3 1 2 は送信するアイソクロナス・パケットのチャンネル番号と転送速度を指定する。そして、ノード 3 1 2 はオフセットが 1 6 進数の 6 1 4 のレジスタに対してライト・トランザクションを行うことにより、データ送信を開始させる。なお、ベースアドレスの値は RAM に記憶されるノード 3 2 1 のコンフィグレーション・ロムの Unit Dependent Directory に書かれている。このライト・トランザクションをノード 2 1 1 が受信した後、このライト・トランザクションをバス B 2 上のノード 3 2 1 に転送する手順が行われる。

## 【 0 0 3 5 】

まず、受信されたライト・リクエスト・パケットは RAM 1 3 に一時記憶され、ヘッダ変換処理が行われる。即ち、第 3 の対応表を参照して、宛先 ID がノード 2 1 1 に対応するノード 3 2 1 の値に、第 4 の対応表を参照して、送信元 ID の値がノード 3 1 2 に対応するノード 2 2 2 の値に変換される。次いで、ノード 2 2 1 では変換後の宛先 ID が参照され、ノード 2 2 1 とノード 3 2 1 との間の最大の転送速度である S 2 0 0 でライト・リクエスト・パケットが送信される。次いで、ノード 3 2 1 が送信するライト・レスポンス・パケットはノード 2 2 1 により受信され、RAM 1 3 に一時記憶された後、ヘッダ変換処理が行われる。即ち、第 4 の対応表を参照して、宛先 ID がノード 2 2 2 に対応するノード 3 1 2 の値に、第 1 の対応表を参照して、送信元 ID がノード 3 2 1 に対応するノード 2 1 1 の値に変換される。次いで、ノード 2 1 1 では変換後の宛先 ID が参照され、ノード 2 1 1 とノード 3 1 2 との間の最大の転送速度である S 4 0 0 でライト・レスポンス・パケットが送信される。なお、オフセットが 1 6 進数の 6 0 C のレジスタへのライト・リクエストを受信した場合には、他のバスにパケットを転送する前に転送速度の設定値をチェックし、ノード 3 2 1 の性能を上回る値が書き込まれていた場合には、それが上回らないように書き換える処理も行われ

る。実際に、ノード 3 1 2 からのリクエストには、S 4 0 0 で送信する要求が書かれていたが、その値を S 2 0 0 に変換してからバス B 2 上にライト・リクエスト・パケットが送信された。

## 【 0 0 3 6 】

このアシンクロナス・パケットのバス間転送によりライト・トランザクションが成功したことが検出されると、パケット速度変換器 1 0 2 は S C R の設定を行う。まず、オフセットが 1 6 進数の 6 0 C のレジスタへのライト・トランザクションが成功したら、それに基づいて S C R の c h a n n e l フィールドと s p d フィールドが書き換えられる。この例では、ノード 3 1 2 からチャンネル番号 2 のパケットを S 4 0 0 で送信する要求がなされたため、リンク層 L S I 3 1 と 3 2 の S C R の c h a n n e l フィールドはともに 2 に、s p d フィールドもともに 2 に設定される。次いで、オフセットが 1 6 進数の 6 1 4 のレジスタへのライト・トランザクションが成功したら、それに基づいて S C R の s t フィールドが書き換えられる。即ち、リンク層 L S I 3 1 と 3 2 の s t フィールドの値は、それぞれ 2 (送信) と 1 (受信) に設定される。これらの S C R への設定により、ノード 3 2 1 が送信するアイソクロナス・パケットが、ノード 2 1 1 によって S 4 0 0 の転送速度でバス B 1 上に送信されることが確認された。

## 【 0 0 3 7 】

さらに、パケット速度変換器 1 0 2 には、バスリセットによりリセットされるストリームの送受信設定を回復する機能も具備されている。即ち、バス B 2 でバスリセットが発生すると、ノード 2 2 1 はノード 3 2 1 に対してストリーム送信をイネーブルにするために、オフセットが 1 6 進数の 6 1 4 のレジスタに対するライト・トランザクションを実行する。バス B 2 でバスリセットが発生したことをバス B 1 上のノードは識別できないため、バス B 2 でバスリセットが発生した直後にバス B 1 上のノードがこのトランザクションを実行することは困難である。従って、このバスリセット発生に対処する仕様は、バスリセットにより生じるデータ転送の中断を最小限に押さえる意味で有効である。

## 【 0 0 3 8 】

なお、同実施形態では、R A M 1 3 に記憶されるノード 3 1 1、3 1 2、3 2



1～323のコンフィグレーション・ロムのデータを以下のように書き換えて記憶することも可能である。即ち、読み出されたコンフィグレーション・ロムのデータの内、Bus\_\_Info\_\_Blockの下位64ビットとNode\_\_Unique\_\_Id\_\_leafの下位64ビットとを、対応するパケット速度変換器102内のノードのEUI-64 (Extended Unique Identifier, 64 bits) の値に書き換え、さらに、Module\_\_Vendor\_\_Id\_\_entryのmodule\_\_vendor\_\_idフィールドをパケット速度変換器102の製造者を示すcompany IDに書き換えたデータとして記憶することである。EUI-64は、General ROMフォーマットのコンフィグレーション・ロムを有する全てのノードが持っている64ビットの識別子であり、各ノードに各々異なる値が割り当てられる。このEUI-64は、製造者を示す24ビットのcompany IDと、各機器に対して製造者が個別に割り当てる40ビットのchip\_idとから構成される。これらの書き換えを施したコンフィグレーション・ロムのデータを記憶することにより、パケット速度変換器102が備えるノードへのコンフィグレーション・ロムのリード・リクエストに対して、機器の機能だけを、対応するバス上のノードと同一に見せることが可能となる。

#### 【0039】

図13は、この発明の第3の実施形態によるパケット速度変換器103の構成を示すブロック図である。同図において、パケット速度変換器103にはノード401～405が接続されている。パケット速度変換器103は図1に示されるパケット速度変換器101を3台具備しており、これらのパケット速度変換器101に具備される3台のノード220とノード404、405が1つのバスB2に接続されている。また、3台のパケット速度変換器101に具備されるノード210には、それぞれノード401～403がバスB1-1～B1-3を介して接続されている。この場合、第1の実施形態で説明したのと同様に、ノード404、405からは、同じバスに接続されている3台のノード220がそれぞれノード401～403と同じ機能を有し、かつ高速の転送能力を有する機器として認識される。このように、複数のパケット速度変換器101を具備することによ

って、複数の速度変換機能を有するパケット速度変換器 1 0 3 を構成することも可能である。

#### 【0 0 4 0】

##### 【発明の効果】

以上説明したように、この発明によれば、1 3 9 4 バスに接続される複数の電子機器の間でパケットの送受信を行う電子機器において、低速な転送能力しか持たない電子機器を疑似し、高速な転送能力を持つ電子機器との間でパケットの送受信を行うノードと、高速な転送能力を持つ電子機器を疑似し、低速な転送能力しか持たない電子機器との間でパケットの送受信を行うノードとを具備し、これらのノードと電子機器間の対応関係に基づき受信したパケットのヘッダを変換し、宛先のノードに適した転送速度に速度変換してパケットを送信するようにしたので、高速な転送能力を持つ電子機器は、低速な転送能力しか持たない電子機器とのパケットの送受信においても、自転送能力の速度にてパケットを送受信することができる。その結果、低速な転送能力に起因したバスの帯域資源消費を緩和して、より効率の高い 1 3 9 4 バスの利用を可能とする効果が得られる。

特に D V 信号においては、3 チャンネル以上の D V 信号を同一の 1 3 9 4 バス上に転送することが可能となる。

#### 【0 0 4 1】

さらに、被疑似ノードのコンフィグレーション・ロムのデータを記憶しておき、コンフィグレーション・ロムのリード・リクエストに対してこの記憶しているデータを自コンフィグレーション・ロムのデータとしてリード・レスポンスするようにし、また、被疑似ノードのコンフィグレーション・ロムのデータを書き換えて記憶し、機器の機能だけを被疑似ノードと同一に見せることも可能としたので、この発明を用いた場合でも、D V 機器などのコントローラの仕様を変更する必要は全くないという効果も得られる。

##### 【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態によるパケット速度変換器の構成を示すブロック図である。

【図 2】 同実施形態によるパケット速度変換器 1 0 1 を用いたシステム構

成例を示す図である。

【図 3】 同実施形態の動作を説明する図である。

【図 4】 同実施形態によるパケット速度変換器 1 0 1 を用いたシステム構成例を示す図である。

【図 5】 同実施形態のスイッチ 1 4 - 1、1 4 - 2 の値と速度変換仕様との対応関係を示す表である。

【図 6】 同実施形態の各ノードの対応が 1 対 1 に示される第 1 と第 2 の対応表である。

【図 7】 同実施形態のライト・トランザクションの動作を説明するシーケンス図である。

【図 8】 同実施形態のストリーム・コントロール・レジスタのフォーマットとリンク層 L S I 3 1、3 2 における同レジスタの設定例を示す図である。

【図 9】 同実施形態のプラグ・コントロール・レジスタのフォーマットを示す図である。

【図 1 0】 この発明の第 2 の実施形態によるパケット速度変換器の構成を示すブロック図である。

【図 1 1】 同実施形態によるパケット速度変換器 1 0 2 を用いたシステム構成例を示す図である。

【図 1 2】 同実施形態の各ノードの対応が 1 対 1 に示される第 3 と第 4 の対応表である。

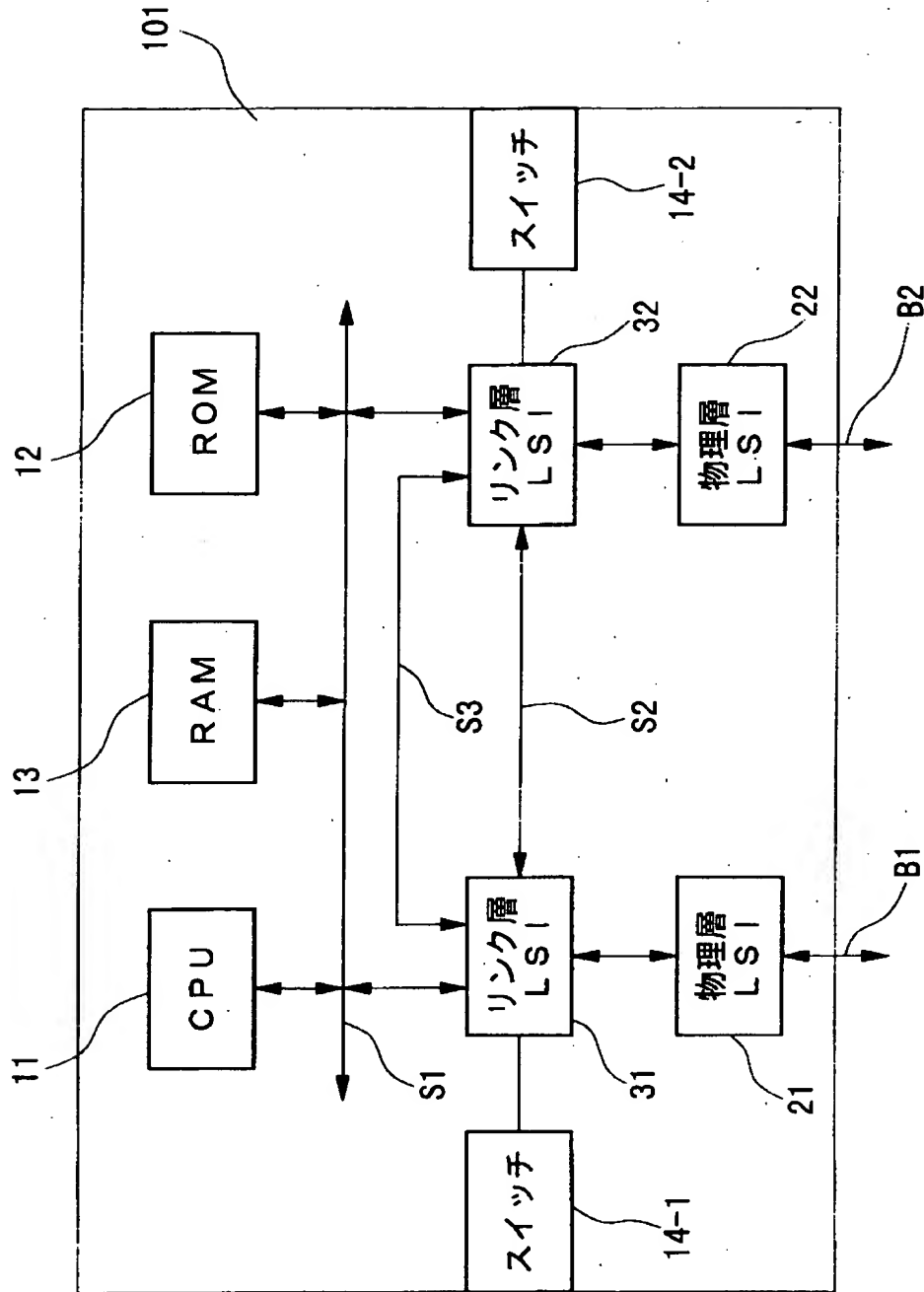
【図 1 3】 この発明の第 3 の実施形態によるパケット速度変換器の構成を示すブロック図である。

【符号の説明】

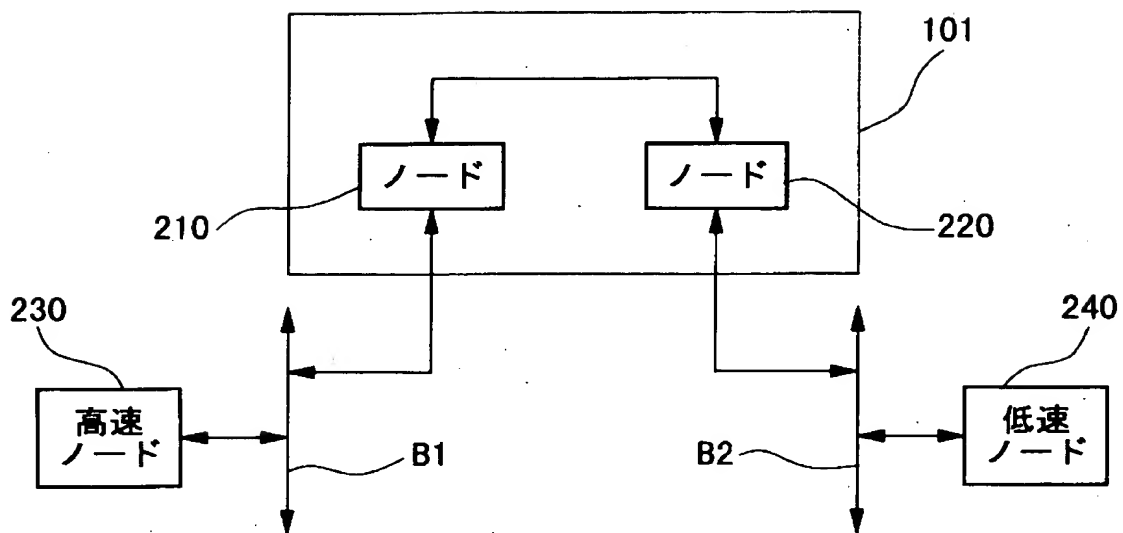
1 1 … CPU、1 2 … ROM、1 3 … RAM、1 4 - 1 ~ 1 4 - 2 … スイッチ、  
2 1 ~ 2 2 … 物理層 L S I、3 1 ~ 3 2 … リンク層 L S I。

【書類名】 図面

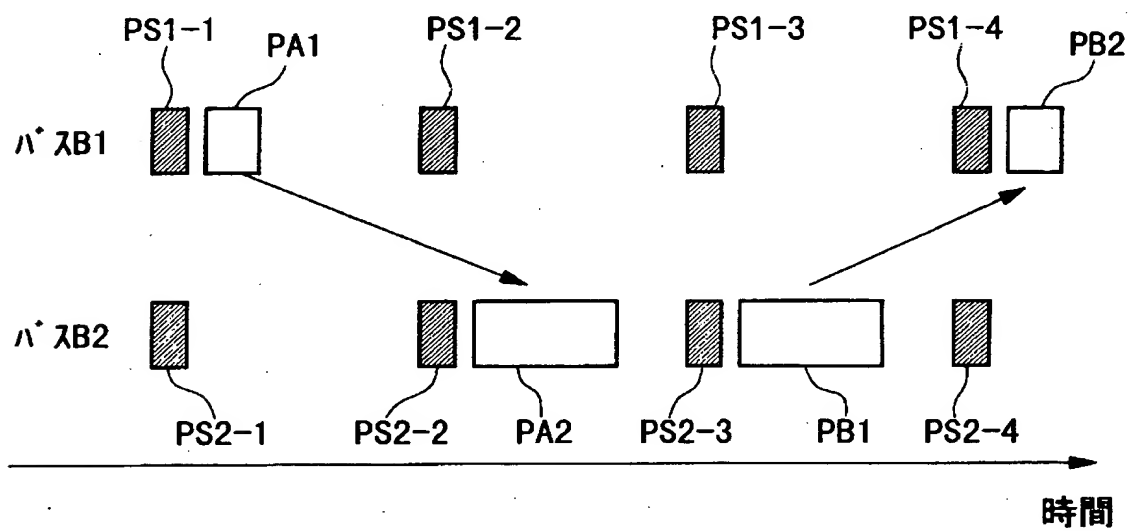
【図 1】



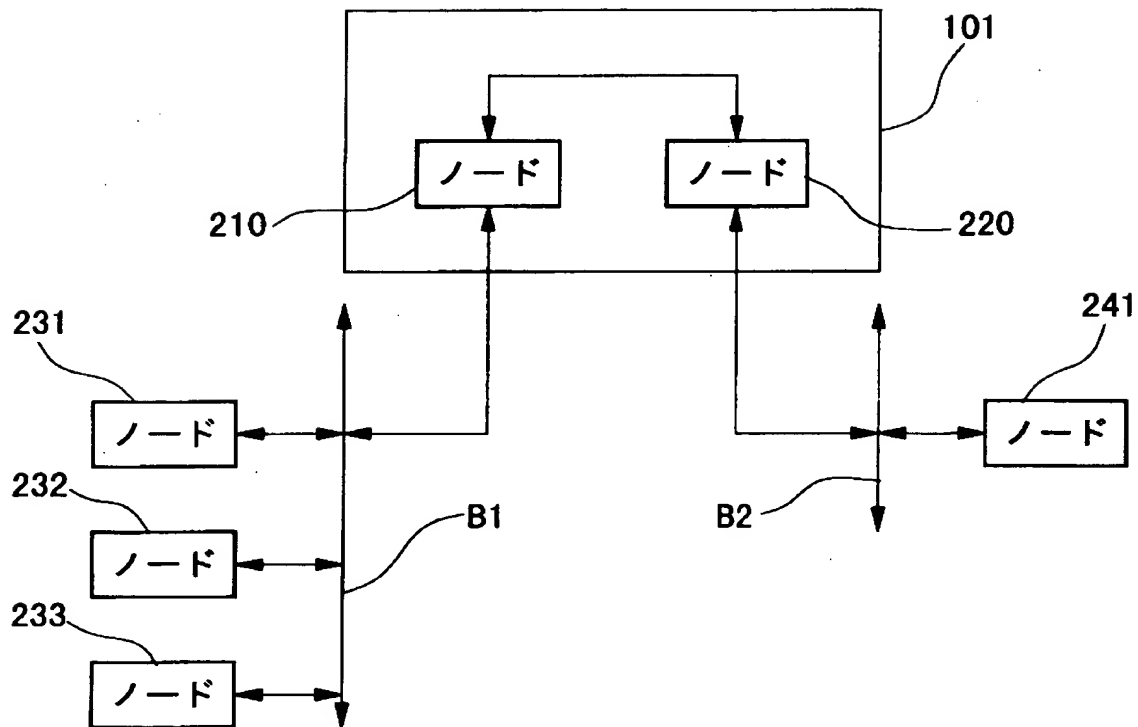
【図 2】



【図 3】



【図 4】



【図 5】

スイッチの値	速度変換仕様
0	iso/asyncともにS100に変換
1	iso/asyncともにS200に変換
2	iso/asyncともにS400に変換
3	isoはS100に変換 asyncは転送可能な最速の速度に変換
4	isoはS200に変換 asyncは転送可能な最速の速度に変換
5	isoはS400に変換 asyncは転送可能な最速の速度に変換
6	変換せず (受信時と等しい速度で送信)

【図 6】

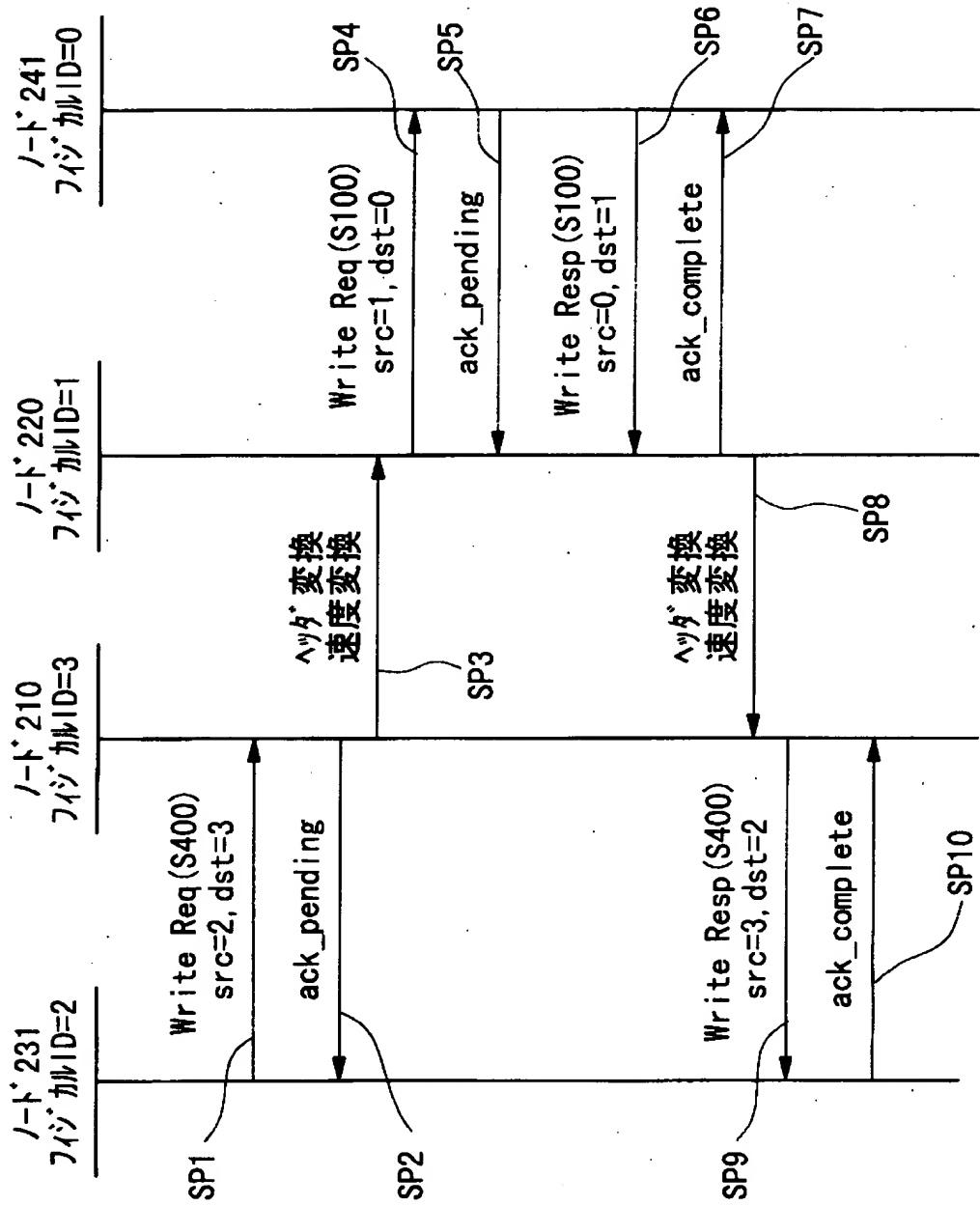
第1の対応表

ノード 210の フィジカルID	対応するバスB2上の ノードのフィジカルID
3	0 (ノード 241)

第2の対応表

ノード 220の フィジカルID	対応するバスB1上の ノードのフィジカルID
1	2 (ノード 231)

【図 7】





【図 8】

st	channel	i	spd	over-head	rsv	payload
2	6	1	3	4	2	14

(a) フォーマット

2	3	1	2	0	0	100
---	---	---	---	---	---	-----

(b) リンク層LSI31の設定例

1	63	1	0	0	0	100
---	----	---	---	---	---	-----

(c) リンク層LSI32の設定例

【図 9】

Data rate capability	Broadcast channel base	Non-persistent extension field	Persistent extension field	Reserved	Number of output plugs
2	6	8	8	3	5

(a) oMPR format

Data rate capability	Reserved	Non-persistent extension field	Persistent extension field	Reserved	Number of input plugs
2	6	8	8	3	5

(b) iMPR format

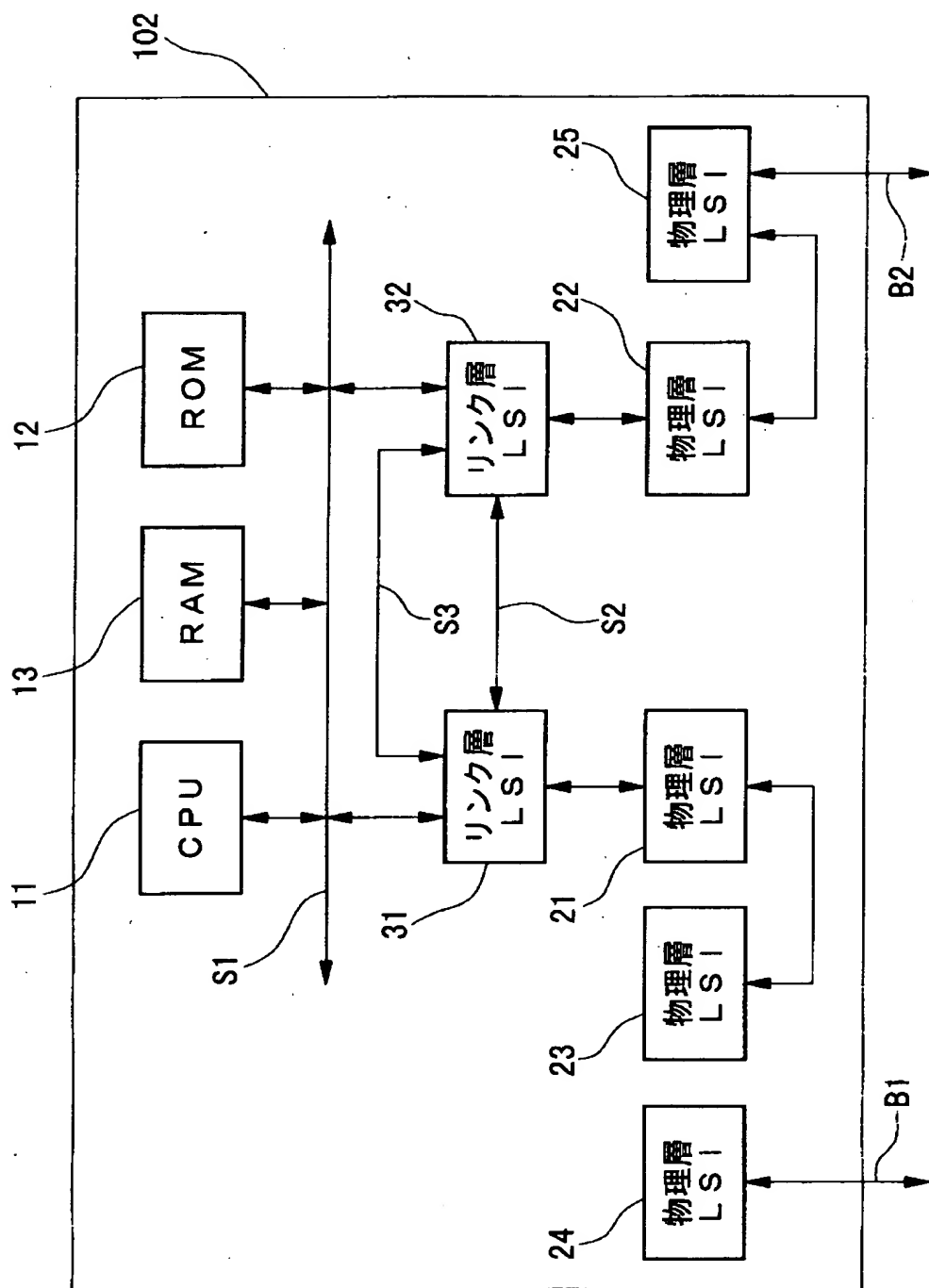
On-line	Broadcast connection counter	Point-to-point connection counter	Reserved	Channel number	Data rate	Overhead ID	Payload
1	1	6	2	6	2	4	10

(c) oPCR format

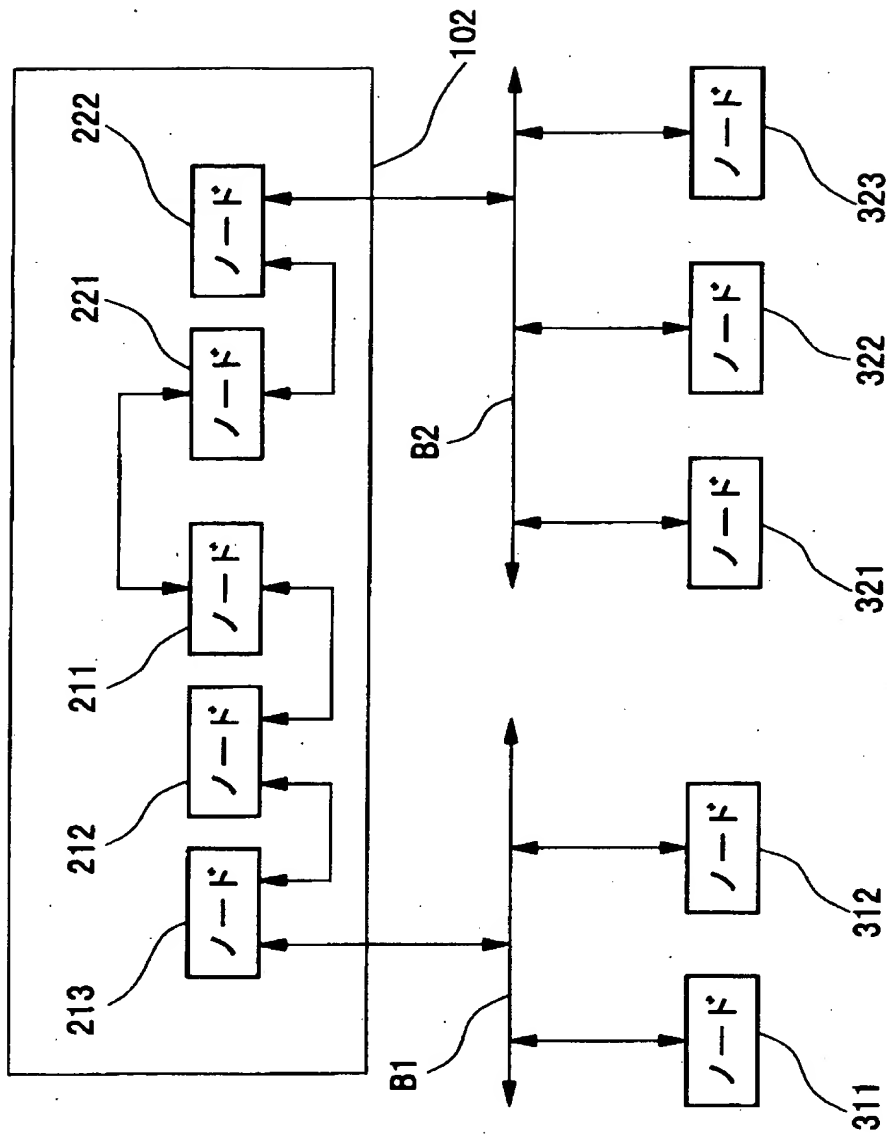
On-line	Broadcast connection counter	Point-to-point connection counter	Reserved	Channel number	Reserved
1	1	6	2	6	16

(d) iPCR format

【図 1 0】



【図 1 1】



【図 1 2】

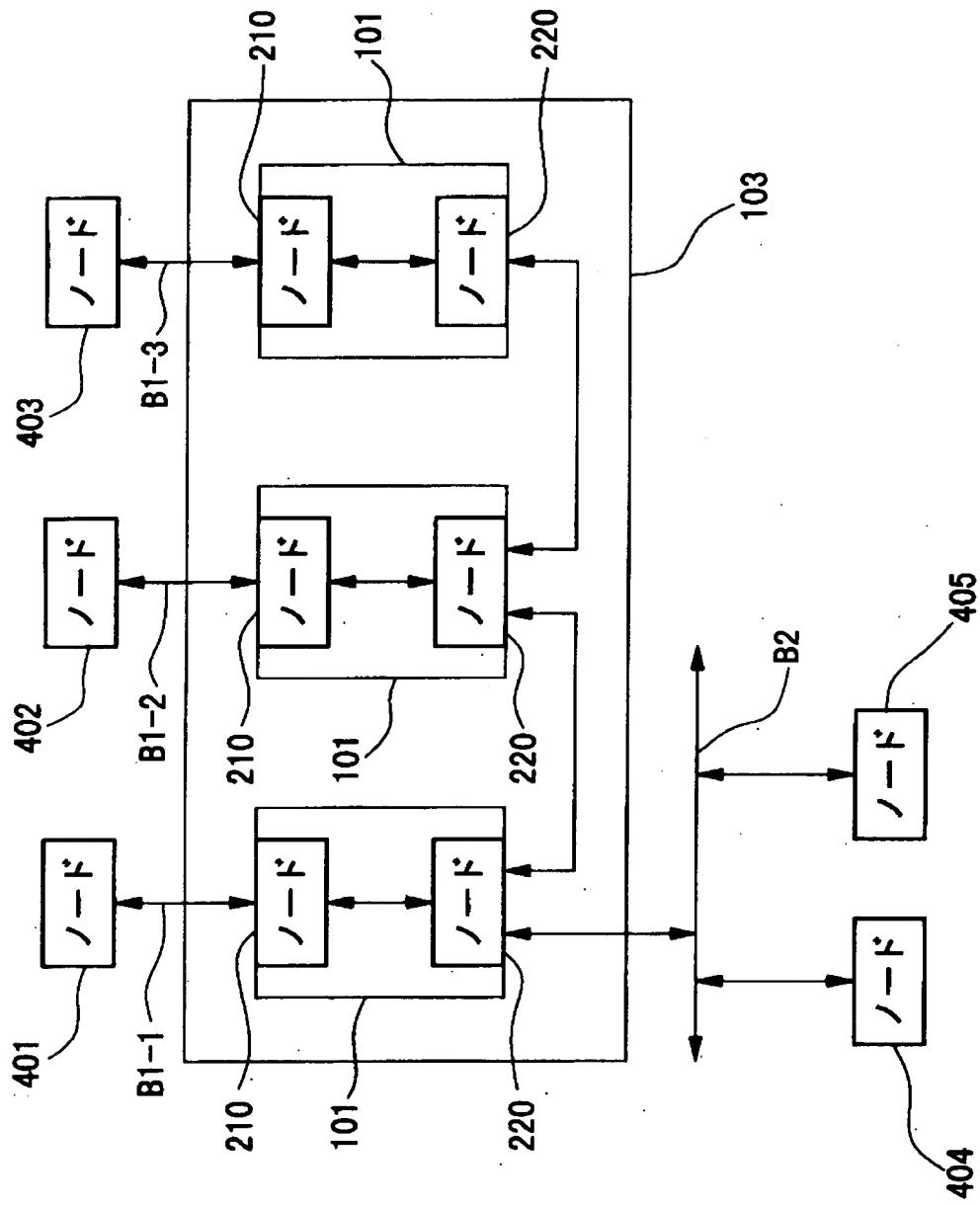
第3の対応表

速度変換機内 ノードのフィジカルID	対応するバスB2上の ノードのフィジカルID
4 (ノード 211)	2 (ノード 321)
3 (ノード 212)	1 (ノード 322)
2 (ノード 213)	0 (ノード 323)

第4の対応表

速度変換機内 ノードのフィジカルID	対応するバスB1上の ノードのフィジカルID
4 (ノード 221)	1 (ノード 311)
3 (ノード 222)	0 (ノード 312)

【図 1 3】



【書類名】 要約書

【要約】

【課題】 低速な転送能力に起因するバスの帯域資源消費を緩和して、より効率の良い 1 3 9 4 バスの利用を可能とするパケット速度変換器を実現する。

【解決手段】 1 3 9 4 バス B 1 または B 2 から受信されるアシンクロナス・パケットは R A M 1 3 に一時記憶される。そして、ヘッダ変換された後、そのアシンクロナス・パケットは他方のバスへスイッチ 1 4 - 1 または 1 4 - 2 の設定に基づいた転送速度に変換されて送信される。一方、同じく受信されるストリーム・パケットはアイソクロナス・パケット転送経路 S 3 を通って他方のリンク層 L S I 3 1 または 3 2 に出力され、各リンク層 L S I に具備されるストリーム・コントロール・レジスタの設定に基づきヘッダ変換された後、スイッチ 1 4 - 1 または 1 4 - 2 の設定に基づいた転送速度に変換されて各バスへ送信される。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第277561号
受付番号	59900952181
書類名	特許願
担当官	木村 勝美 8848
作成日	平成11年10月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社